

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-76713

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/20	V 4237-5H		
	3/30	J 4237-5H		
	3/36			
	5/00	5 2 0 V 9377-5H		

審査請求 未請求 請求項の数2 O L (全 11 頁)

(21)出願番号 特願平6-210014

(22)出願日 平成6年(1994)9月2日

(71)出願人 000001236

株式会社小松製作所

東京都港区赤坂二丁目3番6号

(72)発明者 武部 慎

神奈川県平塚市四ノ宮2597 株式会社小松

製作所電子機器製造部内

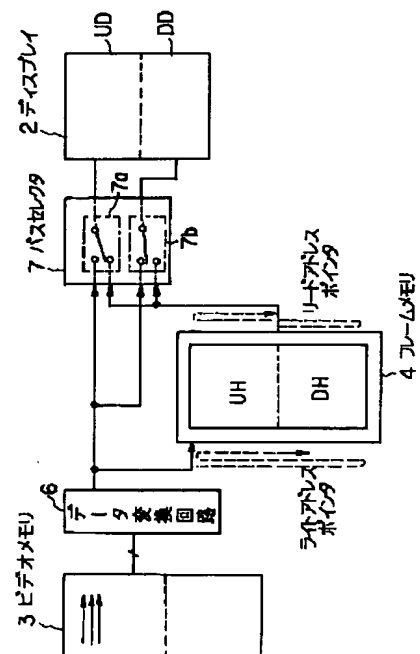
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 ディスプレイ制御装置

(57)【要約】 (修正有)

【目的】CRTコントローラによるELや液晶ディスプレイの駆動時に、画面の切り替えや動画面に対する追従性がよく、高輝度の画像を表示できる。

【構成】データの読み出し及び書き込みを同時に実行でき、ディスプレイ2に表示すべき表示データを少なくとも1画面分記憶できる容量を有するメモリ手段4と、ビデオメモリ3の記憶データのうち上半分の画面に対応するデータをディスプレイの上部領域に出力するとともにメモリ手段4に記憶し、記憶されている下半分の画面に対応するデータをディスプレイ2の下部領域に順次出力する第1の動作と、ビデオメモリの記憶データのうち下半分の画面に対応するデータをディスプレイの下部領域に出力するとともにメモリ手段4に記憶し、かつメモリ手段4に記憶されている上半分の画面に対応するデータをディスプレイの上部領域に出力する第2の動作とを交互に実行する。



1

【特許請求の範囲】

【請求項1】CRT制御装置から出力される表示制御信号に基づいてビデオメモリに記憶された表示データをELまたは液晶ディスプレイに表示するディスプレイ制御装置において、

データの読み出し及び書き込みを同時に実行でき、前記ディスプレイに表示すべき表示データを少なくとも1画面分記憶できる容量を有するメモリ手段と、

前記ビデオメモリの記憶データのうち上半分のディスプレイ画面に対応するデータをディスプレイの上部領域に順次出力するとともに該上半分のディスプレイ画面に対応するデータを前記メモリ手段に順次記憶しかつ前記メモリ手段に記憶されている下半分のディスプレイ画面に対応するデータをディスプレイの下部領域に順次出力する第1の動作と、前記ビデオメモリの記憶データのうち下半分のディスプレイ画面に対応するデータをディスプレイの下部領域に順次出力するとともに該下半分のディスプレイ画面に対応するデータを前記メモリ手段に順次記憶しかつ前記メモリ手段に記憶されている上半分のディスプレイ画面に対応するデータをディスプレイの上部領域に順次出力する第2の動作とを前記表示制御信号にしたがって交互に実行する表示制御手段と、
を具えるディスプレイ制御装置。

【請求項2】CRT制御装置から出力される表示制御信号に基づいてビデオメモリに記憶された表示データをELまたは液晶ディスプレイに表示するディスプレイ制御装置において、

前記ELまたは液晶ディスプレイの表示画面を上下方向に n 個($n \geq 2$)に分割すると共に、

データの読み出し及び書き込みを同時に実行でき、前記ディスプレイに表示すべき表示データを少なくとも1画面分記憶できる容量を有する、($n-1$)個のメモリ手段と、

前記($n-1$)個のメモリ手段に対し前記ビデオメモリの表示データを順次共通入力すると共に、前記($n-1$)個のメモリ手段から前記ディスプレイの($1/n$)画面分のデータに対応するアドレスずつずれたアドレスを初期アドレスとして記憶データを順次サイクリックに読み出す書き込み読み出し制御手段と、

前記($n-1$)個のメモリ手段から読み出されたデータおよび前記ビデオメモリの記憶データの中からデータを所定の順番に択一選択し、選択データを前記ディスプレイの各分割領域に出力する n 個のデータ選択手段と、
を具えるディスプレイ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はCRTコントローラを用いてCRTのみならずELまたは液晶ディスプレイも駆動できるようにしたディスプレイ制御装置に関する。

【0002】

2

【従来の技術】CRTコントローラを用いてELや液晶ディスプレイを駆動するためには、CRTディスプレイの倍の速度でラスタスキャンを行わないと、画面の輝度が低下する。このため、CRTコントローラを用いてELや液晶ディスプレイを駆動する際には、1走査線信号を2走査線信号に展開してディスプレイに出力するようにしており、その1方式としてLVIC方式がある。このLVIC方式はビデオメモリに記憶した1画面分の表示データを一旦別のメモリに入れ、このメモリから2つの走査線信号をディスプレイに同時出力するものである。

【0003】また、このLVIC方式において、上記1画面分の表示データを記憶するメモリとしてはシングルポートRAMが使用され、このRAMにビデオメモリからの表示データが書き込まれていない時間にデータを読み出してディスプレイに出力する。

【0004】

【発明が解決しようとする課題】このように、上記従来のLVIC方式においては、シングルポートRAMにビデオメモリからの表示データが書き込まれていない時間にデータを読み出してディスプレイに出力するようにしているので、RAMへの書き込みタイミングと読み出しタイミングが重なる時があり、このようなときには表示データの出力を見合わせていた。また、書き込み側のバス占有率が高くなった場合には、ディスプレイにデータを出力する期間が短くなり、これらにより従来のLVIC方式においては、画面の切り替わりや動画画面の際の追従性が悪く、また輝度低下の原因ともなっていた。

【0005】この発明はこのような実情に鑑みてなされたもので、CRTコントローラを用いてELや液晶ディスプレイを駆動するに当たり、画面の切り替わりや動画画面に対する追従性がよく、かつ高輝度の画像を表示することができるディスプレイ制御装置を提供することを目的とする。

【0006】

【課題を解決するための手段及び作用】この発明では、CRT制御装置から出力される表示制御信号に基づいてビデオメモリに記憶された表示データをELまたは液晶ディスプレイに表示するディスプレイ制御装置において、データの読み出し及び書き込みを同時に実行でき、前記ディスプレイに表示すべき表示データを少なくとも1画面分記憶できる容量を有するメモリ手段と、前記ビデオメモリの記憶データのうち上半分のディスプレイ画面に対応するデータをディスプレイの上部領域に順次出力するとともに該上半分のディスプレイ画面に対応するデータを前記メモリ手段に順次記憶しかつ前記メモリ手段に記憶されている下半分のディスプレイ画面に対応するデータをディスプレイの下部領域に順次出力する第1の動作と、前記ビデオメモリの記憶データのうち下半分のディスプレイ画面に対応するデータをディスプレイの

3

下部領域に順次出力するとともに該下半分のディスプレイ画面に対応するデータを前記メモリ手段に順次記憶し、かつ前記メモリ手段に記憶されている上半分のディスプレイ画面に対応するデータをディスプレイの上部領域に順次出力する第2の動作とを前記表示制御信号にしたがって交互に実行する表示制御手段とを具えるようにする。

【0007】かかる発明は、ディスプレイを上部領域と下部領域に2分割した2走査方式に適用されるものであり、ビデオメモリの表示データは、読み出し及び書き込みが同時に行えるデュアルポートRAMなどのメモリ手段に一旦格納されるとともに、上記2走査方式のディスプレイに直接出力される。そして、上記ディスプレイの上部及び下部領域に対しそれぞれ、ビデオメモリからの直接データまたは前記メモリ手段からの読み出しデータを交互に切り換えて常時送ることにより、ディスプレイの各画素の走査周期を短縮している。

【0008】またこの発明では、CRT制御装置から出力される表示制御信号に基づいてビデオメモリに記憶された表示データをELまたは液晶ディスプレイに表示するディスプレイ制御装置において、前記ELまたは液晶ディスプレイの表示画面を上下方向に n 個($n \geq 2$)に分割すると共に、データの読み出し及び書き込みを同時に実行でき、前記ディスプレイに表示すべき表示データを少なくとも1画面分記憶できる容量を有する、($n-1$)個のメモリ手段と、前記($n-1$)個のメモリ手段に対し前記ビデオメモリの表示データを順次共通入力すると共に、前記($n-1$)個のメモリ手段から前記ディスプレイの($1/n$)画面分のデータに対応するアドレスずつれたアドレスを初期アドレスとして記憶データを順次サイクリックに読み出す書き込み読み出し制御手段と、前記($n-1$)個のメモリ手段から読み出されたデータと前記ビデオメモリの記憶データの中からデータを所定の順番に択一選択し、選択データを前記ディスプレイの各分割領域に出力する n 個のデータ選択手段とを具えるようにしている。

【0009】かかる発明によれば、ディスプレイを n 個($n \geq 2$)の上下分割画面に分割した n 走査に対処するべく、ディスプレイに表示すべき表示データを少なくとも1画面分記憶できる容量を有する($n-1$)個のメモリ手段を備え、前記($n-1$)個のメモリ手段から読み出されたデータと前記ビデオメモリの記憶データの中からデータを所定の順番に択一選択し、選択データを前記ディスプレイの各分割領域に出力するようにしている。

【0010】

【実施例】以下この発明を添付図面に示す実施例に従って詳細に説明する。

【0011】図2は、この発明の実施例の全体構成の概略を示すもので、CTRコントローラ1はCRTディス

4

プレイに対する表示制御を行う汎用のもので、このCRTコントローラ1からは表示制御信号として、水平同期信号HS、垂直同期信号VS、表示消去信号BLANKなどが出力される。水平同期信号HSは1水平走査の度に出力される同期信号であり、垂直同期信号VSは1画面の走査の度に出力されるものである。BLANK信号は、表示データを画面の上下左右端で消去するためのもので、表示データのアウトプットイネーブル信号として機能する。

【0012】ディスプレイ2としてはCRTも勿論可能であるが、この場合はELディスプレイまたは液晶ディスプレイであるとする。ビデオメモリ3は、ディスプレイ2に表示すべき表示データを1画面分ビットマップ形式で記憶するものである。フレームメモリ4はこの場合書き込みおよび読み出しが同時に行えるデュアルポートメモリであり、ビデオメモリ3と同様ディスプレイ2に表示すべき表示データを1画面分記憶できる容量を有している。

【0013】ディスプレイコントローラ5は、CRTコントローラ1からの水平同期信号HS、垂直同期信号VS、表示消去信号BLANKなどに基づきかつフレームメモリ4を使用することにより、ビデオメモリ3に記憶された表示データを2走査線信号に変換してディスプレイ2に表示するための制御を行うものである。

【0014】図1は、本発明による画面2分割制御方式(2走査方式)を実施するための概念的構成を示すもので、ディスプレイ2は上画面UDと下画面DDに2分割されて、これらは各別の走査線信号によって走査される。

【0015】図1において、ビデオメモリ3に記憶されている表示データは、例えば8ビットずつ読み出されてデータ変換回路6に入力され、データ変換回路6で例えば4ビットデータに変換される。データ変換回路6から出力される4ビットデータはラスト走査に対応した順番で4ビットずつバスセレクト7およびフレームメモリ4に順次入力される。なお、ビデオメモリ3から読み出されるデータのビット数は、4ビットでもよく、また16ビットでも良い。

【0016】フレームメモリ4では、4ビットずつ順次入力されたデータをそれぞれ対応するアドレスに記憶していく。ここでは、簡単化のためにディスプレイ2と同じ位置関係で表示データがフレームメモリ4に記憶されているとする。すなわち、ディスプレイ2と同様に、フレームメモリ4も概念的には、上画面に対応する表示データが記憶される上画面領域UHと、下画面に対応する表示データが記憶される下画面領域DHとに2分割されている。なお、フレームメモリ4において、上画面領域UHと下画面領域DHとは、通常のアドレス信号によって2分割されているのではなく、フレームメモリ4のアドレスポインタが順次インクリメントされていった結果として上画面領域UHと下画面領域DHとに分けられ

5

る。

【0017】一方、フレームメモリ4からのデータ読み出しであるが、これはデータ書き込みに対し半画面分ずれた下画面領域DHから開始される。

【0018】すなわち、フレームメモリ4に対しデータ書き込みが開始されて上画面に対応するデータがフレームメモリ4の上画面領域UHに順次書き込まれると同時に、フレームメモリ4の下画面領域DHからデータが順次読み出される(図3期間T1)。そしてこの後、上画面領域UHに対するデータ書き込み及び下画面領域DHからのデータ読み出しが終了すると、今度は下画面に対応するデータがフレームメモリ4の下画面領域DHに対し順次書き込まれると共に、フレームメモリ4の上画面領域UHからのデータ読み出しが行われる(図3期間T2)。なお、このデータ読み出しの際に読み出されるデータは直前の書き込み動作によって書き込まれたデータである。

【0019】そしてこの後、下画面領域DHに対するデータ書き込み及び上画面領域UHからのデータ読み出しが終了すると、今度は上画面に対応するデータがフレームメモリ4の上画面領域UHに対し順次書き込まれると共に、フレームメモリ4の下画面領域DHからのデータ読み出しが行われる(図3期間T3)。

【0020】フレームメモリ4では、以上のような書き込みおよび読み出し動作を繰り返し実行する。

【0021】バスセクタ7は、データ変換回路6から入力されるビデオメモリ3からの直接データ(以後スルーデータという)とフレームメモリ3から読み出されるデータ(リードデータ)との何れかを選択してこれをディスプレイ2に出力するものであり、機能的には、上画面UDに対応するスルーデータとフレームメモリ4の上画面領域UHから読み出されるリードデータの何れかを選択してこれをディスプレイ2の上画面領域UDに出力する第1のスイッチング回路7aと、下画面DDに対応するスルーデータとフレームメモリ4の下画面領域DHから読み出されるリードデータの何れかを選択してこれをディスプレイ2の下画面領域DDに出力する第2のスイッチング回路7bとを有している。

【0022】そして、上記バスセクタ7は、具体的には、図4に示すようなバス切替え制御を実行する。

【0023】すなわち、まず、ビデオメモリ3からのデータ読み出しが開始されてから上画面領域UDに対応するデータがビデオメモリ3から全て出力されるまでの期間においては、第1のスイッチング回路7aはスルーデータを選択してこれをディスプレイ2の上画面領域UDに順次出力し、また第2のスイッチング回路7bはリードデータを選択してこれをディスプレイ2の上画面領域UDに順次出力する(図4期間T1)。この結果、ビデオメモリ3の上画面データがスルーデータとして直接ディスプレイ2の上画面にUDに出力されるとともに、フ

6

フレームメモリ4の下画面領域DHに記憶されていた1周期前の下画面データがディスプレイ2の下画面領域DDに出力される。なお、ビデオメモリ3から出力された上画面に対応するデータは、スルーデータとしてバスセクタ7に加えられるとともに、フレームメモリ4の上画面領域UHに順次書き込まれる。

【0024】次に、ビデオメモリ3から下画面領域DDに対応するデータが出力される期間においては、第1のスイッチング回路7aはリードデータを選択してこれをディスプレイ2の上画面領域UDに順次出力し、また第2のスイッチング回路7bはスルーデータを選択してこれをディスプレイ2の上画面領域UDに順次出力する(図4期間T2)。

この結果、ビデオメモリ3の下画面データがスルーデータとして直接ディスプレイ2の下画面にDDに出力されるとともに、フレームメモリ4の上画面領域UHに書き込まれた上画面データがディスプレイ2の上画面領域DDに出力される。なお、この際もビデオメモリ3から出力された下画面に対応するデータは、スルーデータとしてバスセクタ7に加えられるとともに、フレームメモリ4の下画面領域DHに順次書き込まれる。

【0025】次に、ビデオメモリ3から上画面領域UDに対応するデータが再び出力される期間においては、第1のスイッチング回路7aはスルーデータを選択してこれをディスプレイ2の上画面領域UDに順次出力し、また第2のスイッチング回路7bはリードデータを選択してこれをディスプレイ2の下画面領域DDに順次出力する(図4期間T3)。この結果、ビデオメモリ3の上画面データがスルーデータとして直接ディスプレイ2の上画面にUDに出力されるとともに、フレームメモリ4の下画面領域DHに書き込まれた下画面データがディスプレイ2の下画面領域DDに出力される。なお、この際もビデオメモリ3から出力された上画面に対応するデータは、スルーデータとしてバスセクタ7に加えられるとともに、フレームメモリ4の上画面領域UHに順次書き込まれる。

【0026】バスセクタ7は、このような動作を繰り返し実行する図5は、図2に示したディスプレイコントローラ5の詳細構成例を示すもので、この場合は同一回路構成でELディスプレイおよび液晶ディスプレイの双方を駆動できるような工夫をしている。

【0027】すなわち、液晶ディスプレイに対しては特性上、水平同期信号HSを常に(画面走査と画面走査の間の垂直ブランキング期間においても)固定周期で送らなくてはならないが、ELディスプレイの場合は画面走査と画面走査の間の期間には水平同期信号HSの送出を停止してもよく、これが両者の大きな相違である。

【0028】したがって、この場合、使われるディスプレイに応じてディスプレイ選択信号OSELのH、Lを切り換えることにより所要回路部分をELディスプレイ駆動

7

用と液晶ディスプレイ駆動用に切替えるようにしている。

【0029】まず、図5におけるディスプレイ2、フレームメモリ4、ビデオメモリ3に関する信号、端子について説明する。

【0030】ディスプレイ2において、UDTは上画面領域UDに入力される上画面データであり、DDTは下画面領域DDに入力される下画面データであり、DSCKはラスト走査用のクロック信号であり、LOADは水平同期信号HSに対応するものであり、FRMは垂直同期信号VSに対応するものである。

【0031】フレームメモリ4はデュアルポートRAMであり、DWは書き込み用のデータ端子、DRは読み出し用のデータ端子、RSWは書き込みアドレスリセット端子、RSRは読み出しアドレスリセット端子、CKWは書き込みクロック入力端子、CKRは読み出しクロック入力端子である。なお、このデュアルポートRAM4においては、各アドレスリセット端子RSW、RSRに対する信号入力によって書き込みアドレス、読み出しアドレスが初期アドレス0にリセットされる。また、書き込みクロック入力端子CKWにクロック信号が加えられる度に、書き込みアドレスが+1ずつ更新され、また同様に読み出しクロック入力端子CKRにクロック信号が加えられる度に、読み出しアドレスが+1ずつ更新されるアドレスポインタ方式が採用されている。

【0032】ビデオメモリ3はディスプレイコントローラ5から入力されるBLANKI信号に同期して記憶されているビデオデータVDを例えば8ビットずつデータ変換回路6に順次出力するよう動作する。データ変換回路6は、入力された8ビットのデータを4ビットに変換してこれをディスプレイコントローラ5のバスセクタ7に順次出力するよう動作する。

【0033】ここで、ディスプレイコントローラ5には、図2のCRTコントローラ1から、図6(a)(b)(c)に示すような、表示消去信号BLANK、水平同期信号HS、垂直同期信号VSが入力される。なお、図6は、ディスプレイとしてELディスプレイを駆動する際のタイムチャートを示すものであるが、データの有効区間を示す表示消去信号BLANKは、便宜上、1画面に20ライン分出力されるとしている。

【0034】まず、ディスプレイコントローラ5内のクロック生成部10では、表示期間(BLANK=L)に相当する区間、所定周期のポインタクロック信号PCKを発生し、これをデュアルポートRAM3の書き込み、読み出しクロック入力端子RSW、RSRに入力する。したがって、デュアルポートRAM3の書き込みおよび読み出しアドレスは、ポインタクロック信号PCKに同期して+1される。また、クロック生成部10は、ディスプレイサンプリングクロック信号SCKを発生し、これをディスプレイ2のクロック端子DSCKに出力する。さらに、クロック生

8

成部10は、クロック信号SCLKを発生し、これをCRTコントローラ1およびHBLANK生成部24に出力する。

【0035】ここで、このディスプレイコントローラ5において、ディスプレイ2としてELディスプレイが採用される場合は、ディスプレイ選択信号DSELは例えばHになり、これによりセクタ20はディレイ回路23を介さない直接の垂直同期信号VSを選択し、またセクタ21はHBLANK生成部24を介さない画面消去信号BLANKを選択し、セクタ22はゲート15からの信号を選択する。

【0036】また、ディスプレイ2として液晶ディスプレイが採用される場合は、ディスプレイ選択信号DSELは例えばLになり、これによりセクタ20はディレイ回路23の出力を選択し、またセクタ21はHBLANK生成部24の出力を選択し、セクタ22は生の水平同期信号HSを選択する。

【0037】<ELディスプレイの場合>まず、ディスプレイコントローラ5におけるELディスプレイ駆動用回路の構成について説明する。

【0038】セクタ20によって選択された垂直同期信号VSI(=VS、図6(c))はデュアルポートRAM4の書き込みアドレスリセット端子RSWに入力される。これにより、デュアルポートRAM4の書き込みアドレスは垂直同期信号VSI(=VS)に同期して1画面分のデータがデュアルポートRAM4に書き込まれる度にリセットされる。

【0039】一方、1/2水平ライン数設定レジスタ16には、使用するディスプレイ2の水平ライン数の1/2に対応する数値が設定される。ダウンカウンタ17は、挿入LOAD信号生成部31から挿入LOAD信号が出力されたとき(図6(d)参照)または自分自身の出力ボロー信号SCANBR(図6(h))がHになった次のBLANKI信号の立下がりの度に、1/2水平ライン数設定レジスタ16の設定値をセットし、画面消去信号BLANKが入力される度にセット値を-1するダウンカウント動作を実行し、カウント値が0になった時点でボロー信号SCANBRを発生し(図6(h))、これを垂直同期信号生成部18およびバスコントローラ19に出力するよう動作する。

【0040】なお、挿入LOAD信号生成部31は、後述するように、垂直同期信号VSI(=VS)およびセクタ21から出力されるBLANKI信号(=BLANK)に基づいて第1ラインの水平走査のタイミング信号(挿入LOAD信号、図6(d))を発生するものである。

【0041】また、ボロー信号SCANBRはRSTR発生回路30に入力され、ここで図6(e)に示すようなRSTR信号に変換された後、デュアルポートRAM4の読み出しアドレスリセット端子RSRに入力される。これにより、デュアルポートRAM4の読み出しアドレスはRSTR信号

10

20

30

40

50

に同期して上半画面分のデータのデュアルポートRAM 4に対する書き込みが終了する毎にリセットされ、この結果この後の読み出しはデュアルポートRAM 4の上画面領域UHから行われる。

【0042】垂直同期信号生成部18は、セクタ20から入力される垂直同期信号VSI(=VS)をBLANKI信号(=BLANK)によって若干遅延させて出力するとともに、ボロー信号SCANBRをBLANKI信号(=BLANK)によって若干遅延させて出力することによりディスプレイ2に対する垂直同期信号FRMを形成し、これをディスプレイ2に出力する(図6(i))。このFRM信号は、ディスプレイ2の上下2分割に対応して、1画面走査に2回、すなわち各画面走査のスタート時点と、1/2画面の走査が終了するときに発生される。

【0043】バスコントローラ19は、バスセクタ7のバス切替え制御を実行するもので、バスセクタ7にバス切替え信号SEL2Pを出力する(図6(f))。このバス切替え信号SEL2PはLのときには、ビデオRAM3の出力VDを上画面データUDTとして出力すると共にデュアルポートRAM4の読み出しデータを下画面データDDTとして出力するよう動作し、HのときにはデュアルポートRAM4の読み出しデータを上画面データUDTとして出力するとともにビデオRAM3の出力VDを下画面データDDTとして出力するよう動作する。バスコントローラ19では、ボロー信号SCANBRを検出すると水平同期信号HSのタイミングによって信号SEL2PをHにし、その後垂直同期信号VSI(=VS)によってLに立ち下げるよう動作する。

【0044】次に、挿入LOAD信号生成部31では、垂直同期信号VSI(=VS)およびセクタ21から出力されるBLANKI信号(=BLANK)に基づいて第1ラインの水平走査のタイミング信号(挿入LOAD信号、図6(d))を発生する。具体的には、挿入LOAD信号は、垂直同期信号VSが入力され、かつBLANKI信号がLになるのを検出する度に発生される。

【0045】水平ライン数設定レジスタには、使用するディスプレイ2の水平ライン数に対応する数値が設定される。ダウンカウンタ12は、挿入LOAD信号が発生される度に、水平ライン数設定レジスタ11の設定値をセットし、水平同期信号HSが入力される度にセット値を-1するダウンカウント動作を実行し、カウント値が0になった時点で水平同期イネーブル信号発生部13にボロー信号を出力する。水平同期イネーブル信号発生部13は、挿入LOAD信号が入力された時点でHに立ち上がり、ダウンカウンタ12からボロー信号が入力された時点でLに立ち下がる水平同期イネーブル信号HSLDENを発生する(図6(g))。この水平同期イネーブル信号HSLDENは、その信号状態がHのときに水平同期信号HSを有効にするために使用される。水平同期イネーブル信号HSLDENはアンド回路14に入力され、水平同期信号HSとアン

ドがとられる。

【0046】ゲート15では、アンドゲート14の出力と挿入LOAD信号との論理和をとって、これをセクタ22を介して水平同期信号LOADとしてディスプレイ2に出力する。ディスプレイ2では、入力された水平同期信号LOADに同期して水平走査を実行する。

【0047】<液晶ディスプレイの場合>次に、ディスプレイコントローラ5における液晶ディスプレイ駆動用回路の構成について説明する。なお、図7にディスプレイ2として液晶を用いた場合の各種信号のタイムチャートを示す。

【0048】CRTコントローラ1がCRTを制御する場合は、謂ゆる垂直表示消去信号VBLANKおよび水平表示消去信号HBLANKの論理和としての表示消去信号BLANKによって水平及び垂直方向の表示区間を限定している。そして、表示画面の垂直方向に関しては、垂直表示消去信号VBLANKによって上下端の数ライン分の表示領域が消去されたために、CRTコントローラ1から1画面表示の期間に出力している水平同期信号HSの個数と表示消去信号BLANKの個数には差が生じる。

【0049】ここで、例えば、640×480の液晶画面素子ディスプレイにおいては、1/240(分母;半画面分の水平同期数)のデューティが要求されるが、これに対応するようCRTコントローラ1の水平同期信号HSの個数KHと表示消去信号BLANKの個数KBを設定しようとしても、前述した理由でKH=480、KB=477というように、これらの個数を一致させることができない。したがって、このままの状態、液晶ディスプレイを駆動しても、ビデオRAM3からの読み出し制御と(BLANK信号に同期している)ディスプレイ2に対するデータ入力制御と(HS信号に同期している)を同期させることができない。

【0050】そこで、この実施例においては、これら両者の個数を一致させるべく、ビデオRAM3に入力するためのBLANKI信号をCRTコントローラ1からのBLANK信号によってではなく、水平同期信号HSに基づき形成するようにしている。

【0051】この動作を行っているのがHBLANK生成部24であり、HBLANK生成部24では、水平同期信号HSに同期して水平同期信号HSが入力される度にHBLANK信号を出力するようにしている。また、HBLANK信号のスタート時点は、クロック信号SCLKおよび水平同期信号HSにより水平バックポーチに基づいて調整して、1ライン分の区間を生成するようにしている(図7(a)(b))。なお、図7では、KH=20、KB=17としている。

【0052】また、ディレイ回路23においては、HBLANK生成部24でBLANK信号の個数を増やした分(KH=20、KB=17の場合は3個)、垂直同期信号VSの送出タイミングを遅らせ、1画面データの1ライン

目の直前に垂直同期信号VSIがくるようにしている（図7(d)(e)）。

【0053】そして、液晶ディスプレイが用いられる場合は、DSEL信号によって、セクタ20はディレイ回路23の出力を選択し、またセクタ21はHBLANK生成部24の出力を選択し、セクタ22は生の水平同期信号HSを選択するよう動作する。それ以外の回路部分は、前述したELディスプレイの場合と同様に動作する。

【0054】以上のように、図5の回路構成では、汎用のCRTコントローラ1を用いてELディスプレイおよび液晶ディスプレイの双方を好適に表示制御することができる。

【0055】なお、実施例では、ディスプレイ画面の2分割による2走査方式を採用したが、3個以上の画面分割方式を採用するようにしてもよい。

【0056】図8は、ディスプレイを n 分割した n 走査方式を実現するための構成を示すもので、ディスプレイ2は上から順番に分割画面D1, D2, …, D n に分割され、これら分割画面D1, D2, …, D n に各別のデータバスが接続されている。

【0057】ディスプレイ2を n 分割する場合、 $(n-1)$ 個のデュアルポートメモリM1, M2, M3, …, M $n-1$ を具えるようにする。これら各メモリM1, M2, M3, …, M $n-1$ はそれぞれディスプレイ2の1画面分に対応するデータを記憶する容量を有している。

【0058】ビデオメモリ3から順次読み出されたデータは、前記 $(n-1)$ 個のデュアルポートメモリM1, M2, M3, …, M $n-1$ に共通入力されるとともに、バスセクタ7に入力される。

【0059】デュアルポートメモリM1, M2, M3, …, M $n-1$ に対するデータの書き込みに関しては、これら各メモリM1, M2, M3, …, M $n-1$ は全く同じ動作を実行する。すなわち、各メモリM1, M2, M3, …, M $n-1$ において、ライトアドレスはクロック信号に同期してライトアドレスポインタの示す初期アドレスから順次+1ずつインクリメントされていき、ビデオメモリ3からの1画面分のデータ書き込みが終了すると、再度初期アドレスから同様の動作を繰り返し実行する。

【0060】一方、デュアルポートメモリM1, M2, M3, …, M $n-1$ に対するデータの読み出しに関しては、図9に示すような、リード開始アドレス、リセットタイミングによって実行される。すなわち、リード開始アドレスに関しては、メモリM1は $1/n$ 、メモリM2は $2/n$ 、…、メモリM $n-1$ は $(n-1)/n$ とする。なお、例えば、リード開始アドレス $1/n$ とは、ディスプレイの1画面分データの記憶エリアの最終アドレスを1とした場合の換算値である。また、リードアドレスポインタをリセットしてリードアドレスを初期アドレスに初期化するリード側リセットのタイミングに関しては、メモリM1は n

$1/n$ 、メモリM2は $n-2/n$ 、…、メモリM $n-1$ は $1/n$ とする。なお、リード開始アドレスは特に設定しているのではなく、リード開始タイミングを前述のように制御することにより、結果的に図9に示したような値となる。よって、実際には、ビデオメモリ3からの第1回目のデータ読み出しによるディスプレイ画面は正しくは表示されないが、第2回目のデータ読み出し以降はビデオメモリ3からの読み出しデータによる正しいデータ表示がなされる。もっとも、上記の状態は走査周期が高速であるので、人間には視認できず、悪影響を与えることはない。

【0061】バスセクタ7は、ビデオメモリ3からの直接データ（以後スルーデータという）とデュアルポートメモリM1, M2, M3, …, M $n-1$ から読み出されるデータ（リードデータ）との何れかを選択してこれをディスプレイ2の各分割画面D1~D n に出力するものであり、機能的には、分割画面数 n に対応した数のスイッチング回路7-1~7- n を有している。

【0062】図10はバスセクタ7による選択切り換えの具体内容を示すもので、以下この図を参照して図8の構成の動作を説明する。

【0063】すなわち、まず、ビデオメモリ3からのデータ読み出しが開始されてから分割画面D1に対応するデータがビデオメモリ3から全て出力されるまでの期間T1においては、スイッチング回路7-1はスルーデータを選択してこれをディスプレイ2の最上位領域D1に順次出力し、またそれ以外のスイッチング回路7-2~7- n はそれぞれメモリM1~M $n-1$ のリードデータを選択してこれをディスプレイ2の各分割領域D2~D n に順次出力する（図10期間T1）。この結果、ビデオメモリ3の分割画面D1に対応するデータがスルーデータとして直接ディスプレイ2の最上位画面D1に出力され、フレームメモリM1の領域 $1/n \sim 2/n$ に記憶されていた1周期前のデータがディスプレイ2の領域D2に出力され、フレームメモリM2の領域 $2/n \sim 3/n$ に記憶されていた1周期前のデータがディスプレイ2の領域D3に出力され、……、フレームメモリM n の領域 $(n-1)/n \sim n/n$ に記憶されていた1周期前のデータがディスプレイ2の領域D n に出力される。なお、この期間T1においては、ビデオメモリ3から出力された分割画面D1に対応するデータは、各メモリM1~M $n-1$ の領域 $(0 \sim 1/n)$ にも同時書き込みされる。

【0064】次に、ビデオメモリ3から分割画面D2に対応するデータが出力される期間T2においては、スイッチング回路7-2はスルーデータを選択してこれをディスプレイ2の領域D2に順次出力し、またそれ以外のスイッチング回路7-1, 7-3~7- n はそれぞれメモリM $n-1$, M1~M $n-2$ のリードデータを選択してこれをディスプレイ2の各分割領域D1, D3~D n に順次出力する。この結果、ビデオメモリ3の分割画面D2に対

応するデータがスルーデータとして直接ディスプレイ 2 の画面 D2 に出力され、フレームメモリ Mn-1 の領域 (0 ~ 1/n) に直前に書き込まれたデータがディスプレイ 2 の領域 D1 に出力され、フレームメモリ M1 の領域 2/n ~ 3/n に記憶されていた 1 周期前のデータがディスプレイ 2 の領域 D3 に出力され、……、フレームメモリ Mn-2 の領域 (n-1)/n ~ n/n に記憶されていた 1 周期前のデータがディスプレイ 2 の領域 Dn に出力される。なお、この期間 T2 においては、ビデオメモリ 3 から出力された分割画面 D2 に対応するデータは、各メモリ M1 ~ Mn-1 の領域 (1/n ~ 2/n) にも同時書き込みされる。

【0065】次に、ビデオメモリ 3 から分割画面 D3 に対応するデータが出力される期間 T3 においては、スイッチング回路 7-3 はスルーデータを選択してこれをディスプレイ 2 の領域 D3 に順次出力し、またそれ以外のスイッチング回路 7-1、7-2、7-4 ~ 7-n はそれぞれメモリ Mn-2、Mn-1、M1 ~ Mn-3 のリードデータを選択してこれをディスプレイ 2 の各分割領域 D1、D2、D4 ~ Dn に順次出力する。この結果、ビデオメモリ 3 の分割画面 D3 に対応するデータがスルーデータとして直接ディスプレイ 2 の画面 D3 に出力され、フレームメモリ Mn-2 の領域 (0 ~ 1/n) に直前に書き込まれたデータがディスプレイ 2 の領域 D1 に出力され、フレームメモリ Mn-1 の領域 (1/n ~ 2/n) に直前に書き込まれたデータがディスプレイ 2 の領域 D2 に出力され、……、フレームメモリ Mn-3 の領域 (n-1)/n ~ n/n に記憶されていた 1 周期前のデータがディスプレイ 2 の領域 Dn に出力される。なお、この期間 T3 においては、ビデオメモリ 3 から出力された分割画面 D3 に対応するデータは、各メモリ M1 ~ Mn-1 の領域 (2/n ~ 3/n) にも同時書き込みされる。

【0066】このような動作が繰り返し実行される。

【0067】その後、ビデオメモリ 3 から分割画面 Dn に対応するデータが出力される期間 Tn においては、スイッチング回路 7-n はスルーデータを選択してこれをディスプレイ 2 の領域 Dn に順次出力し、またそれ以外のスイッチング回路 7-1 ~ 7-(n-1) はそれぞれメモリ M1 ~ Mn-1 のリードデータを選択してこれをディスプレイ 2 の各分割領域 D1 ~ Dn-1 に順次出力する。この結果、ビデオメモリ 3 の分割画面 Dn に対応するデータがスルーデータとして直接ディスプレイ 2 の画面 Dn に出力され、フレームメモリ M1 の領域 (0 ~ 1/n) に直前に書き込まれたデータがディスプレイ 2 の領域 D1 に出力され、……、フレームメモリ Mn-1 の領域 (n-2)/n ~ (n-1)/n に直前に書き込まれたデータがディスプレイ 2 の領域 Dn-1 に出力される。なお、この期間 Tn においては、ビデオメモリ 3 から出力された分割画面 Dn に対応するデータは、各メモリ M1 ~ Mn-1 の領域 ((n-1)/n ~ n/n) にも同時書き込みされ

る。

【0068】以上で、ビデオメモリ 3 に記憶された 1 画面分のデータの出力による表示動作が終了する。これ以降は上記と同様の動作が繰り返し実行される。

【0069】なお、上記実施例では、フレームメモリ 4 または M1 ~ Mn-1 として、デュアルポートメモリを用いるようにしたが、先入れ先出しの記憶機能を有する FIFO (first in first out memory) を用いるようにしてもよい。

10 【0070】また、前記図 5 の実施例において、フレームメモリ 4 の 1 ワードと、データ変換回路 6 の出力データビット幅と、上画面 UD および下画面 DD の各データビット幅はそれぞれ 4 ビットとしているが、これに限らず同じビット数であれば良い。

【0071】

【発明の効果】以上説明したようにこの発明によれば、2 分割または n 分割したディスプレイの各領域に対しそれぞれ、ビデオメモリのデータを一旦蓄積記憶したデータとビデオメモリからの直接データを交互に切り換えて常時送ることにより、ディスプレイの各画素の走査周期を短縮し、これにより画面の切り替わりや動画面に対する追従性をよくし、また高輝度の画像を表示できるようにしている。

【図面の簡単な説明】

【図 1】この発明の実施例の要部構成を概念的に示すブロック図。

【図 2】この発明の実施例について全体構成を示すブロック図。

【図 3】フレームメモリ 4 のデータ書き込み及び読み出し動作を示すタイムチャート。

【図 4】バスセクタによるデータ切替え動作を示すタイムチャート。

【図 5】ディスプレイコントローラ 5 の詳細回路図。

【図 6】EL ディスプレイを用いた場合の図 5 の詳細回路図の各種信号のタイムチャート。

【図 7】液晶ディスプレイを用いた場合の図 5 の詳細回路図の各種信号のタイムチャート。

【図 8】この発明の実施例について画面 n 分割方式を行う場合の要部構成を概念的に示すブロック図。

40 【図 9】図 8 の実施例におけるデュアルポートメモリの読み出し開始アドレス及び読み出しリセットタイミングを示す図。

【図 10】図 8 の実施例についてバスセクタによるデータ切替え動作を示す図。

【符号の説明】

1 … CRT コントローラ

2 … ディスプレイ

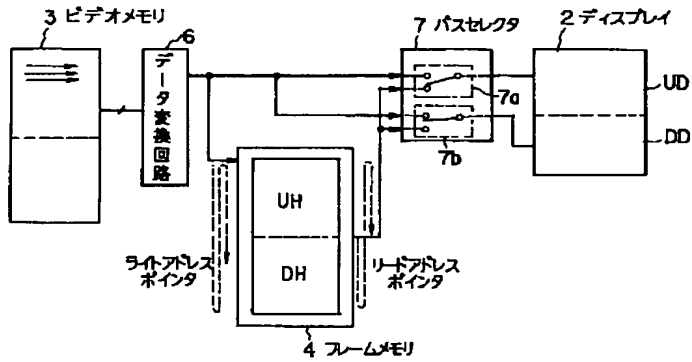
3 … ビデオメモリ

4 … フレームメモリ

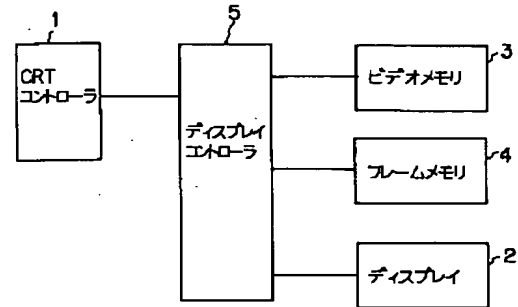
50 5 … ディスプレイコントローラ

7...バスセクタ

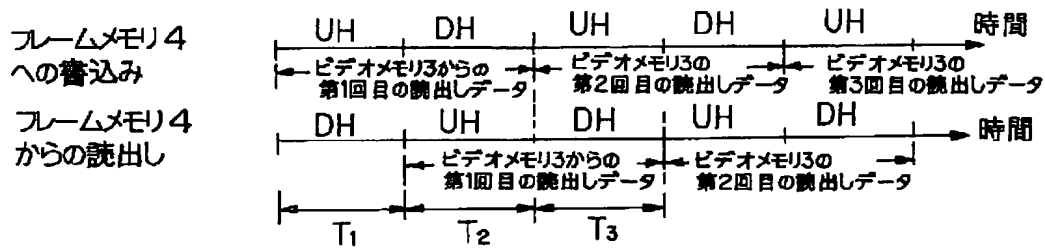
【図 1】



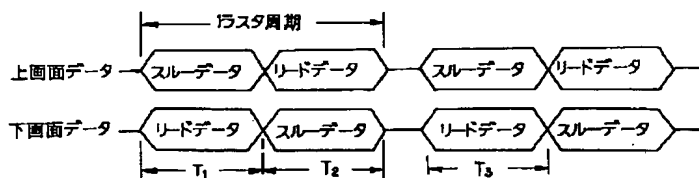
【図 2】



【図 3】



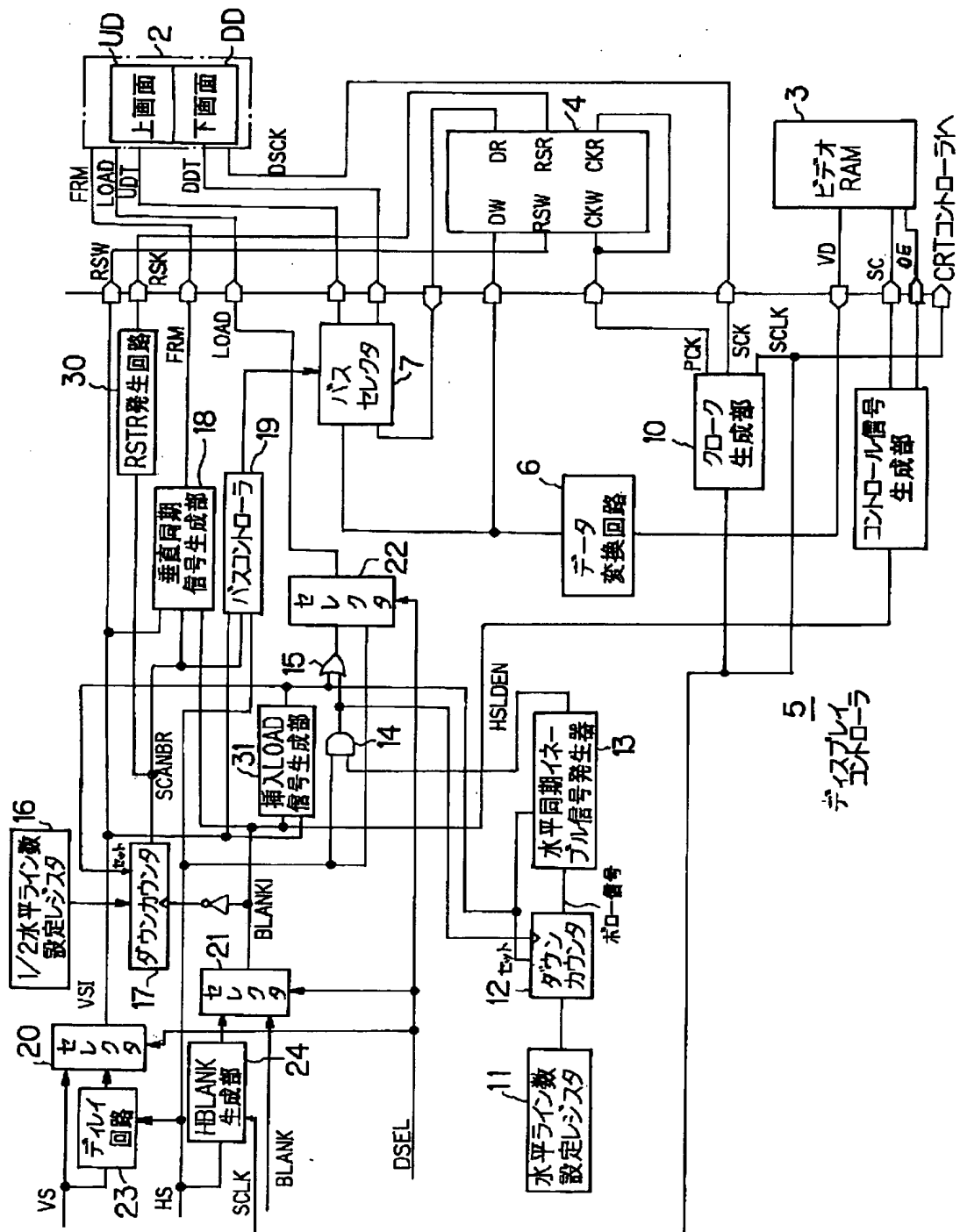
【図 4】



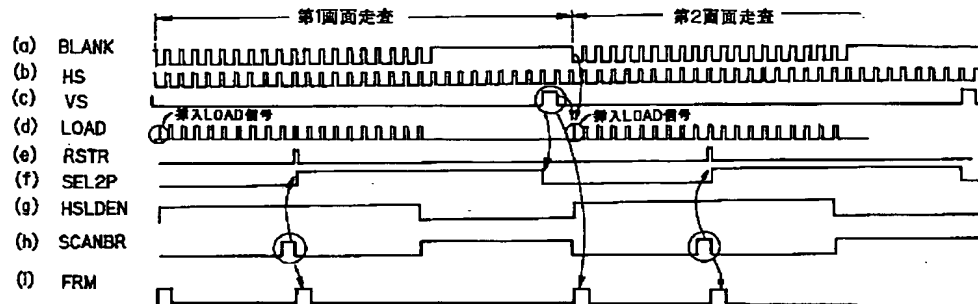
【図 9】

	M1	M2	...	M _{n-1}
リードリセット タイミング	$\frac{n-1}{n}$	$\frac{n-2}{n}$...	$\frac{1}{n}$
リード開始 アドレス	$\frac{1}{n}$	$\frac{2}{n}$...	$\frac{n-1}{n}$

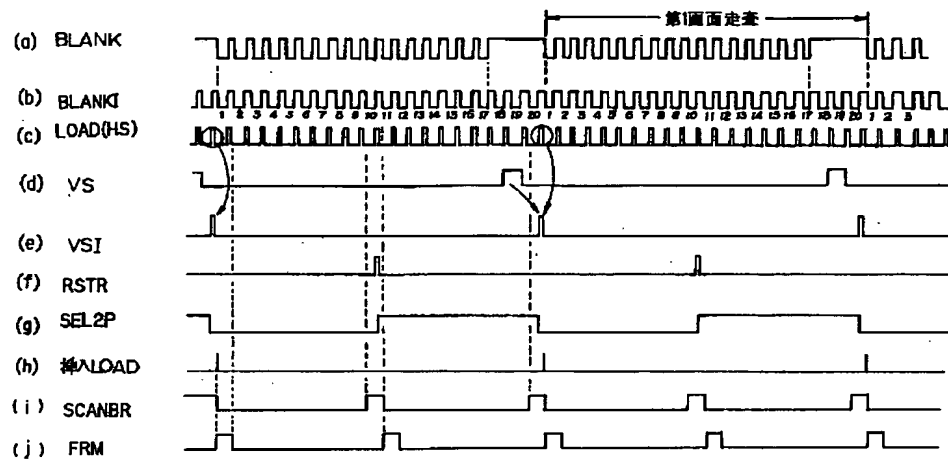
【図 5】



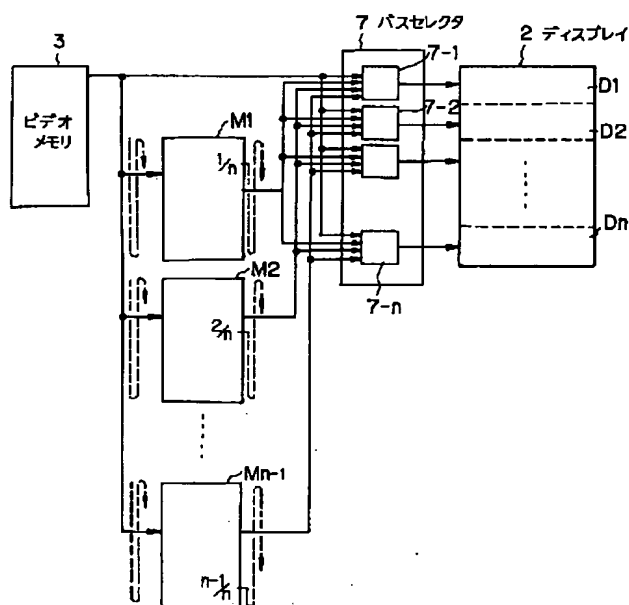
【図 6】



【図 7】



【図 8】



【図 10】

領域	選択データ					
D ₁	スルー	M _{n-1}	n-2	...	M ₁	スルー
D ₂	M ₁	スルー	n-1	...	M ₂	M ₁
D ₃	M ₂	M ₁	スルー	...	M ₃	M ₂
⋮	⋮	⋮	⋮	⋮	⋮	⋮
D _n	M _{n-1}	M _{n-2}	M _{n-3}	...	スルー	M _{n-1}
	T ₁	T ₂	T ₃	...	T _n	